

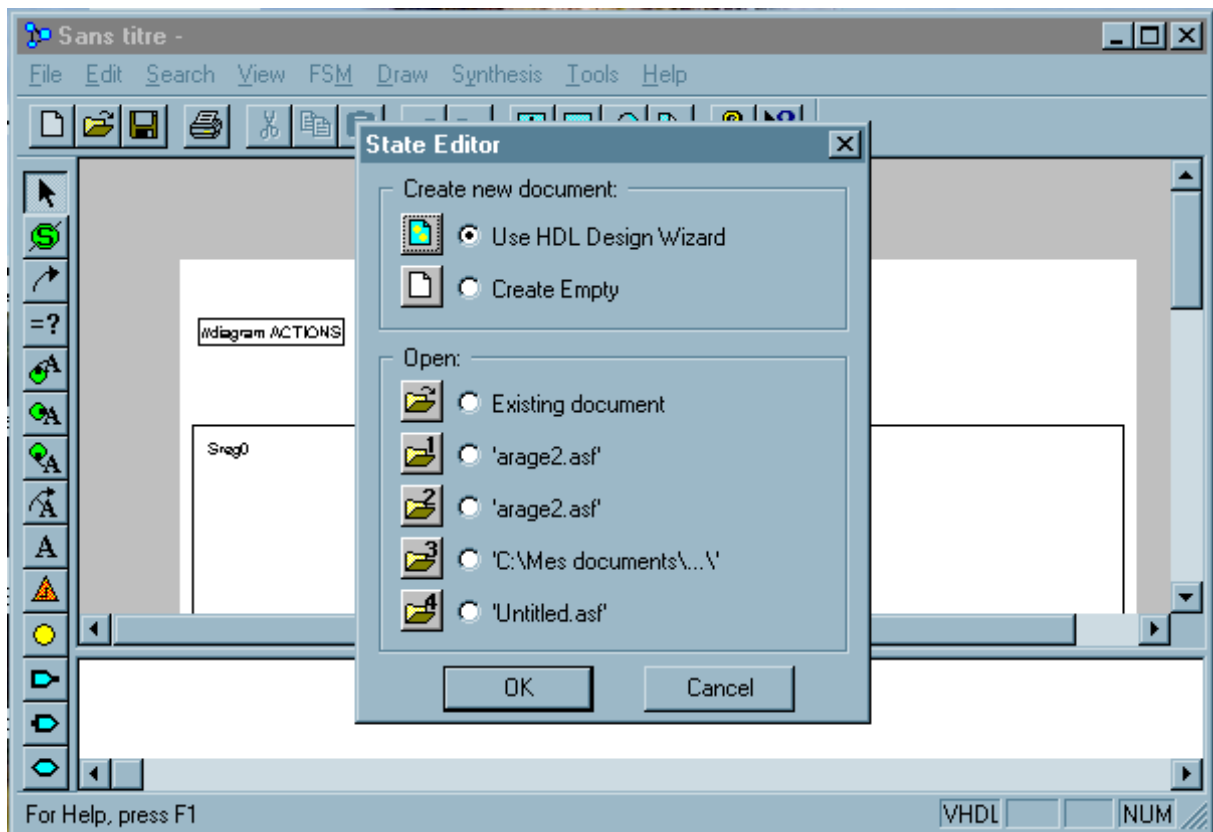
LOGICIEL FSM

Notice simplifiée

Le logiciel HDL-FSM permet à partir d'un diagramme d'état saisi sous forme graphique, de générer un fichier VHDL qui pourra ensuite être implanté dans un circuit logique programmable (PLD).

I. Lancement du programme

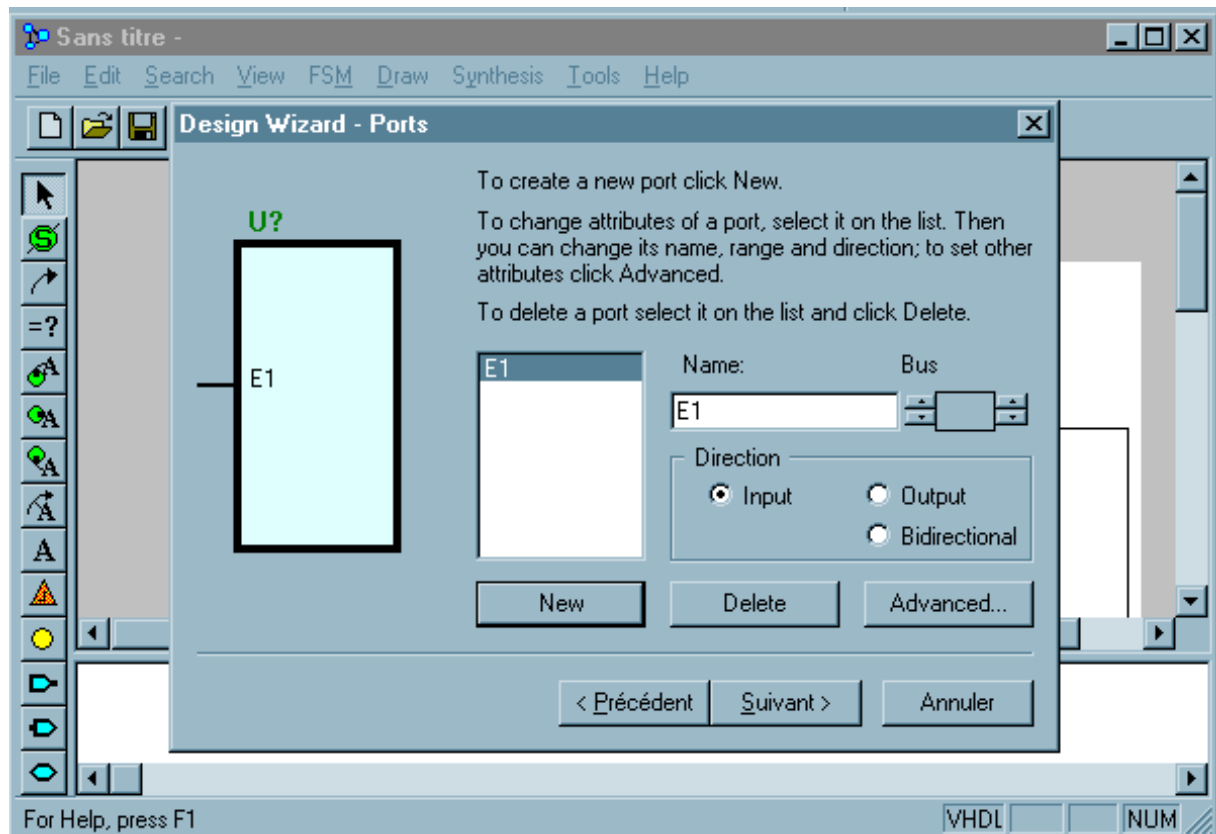
Au lancement du logiciel, l'écran à la forme suivante :



Pour créer un nouveau projet choisir « Use HDL Design Wizard », pour ouvrir un projet déjà créé, on sélectionnera dans la rubrique « Open ».

Suivez les pas du magicien (Wizard =magicien), Nous travaillerons en VHDL. On donnera un nom judicieux au fichier et on indiquera la localisation du fichier (Touche Browse).

Nous allons maintenant définir les entrées et les sorties du système séquentiel. Ceci est effectué à l'aide de l'écran suivant.



Cliquer d'abord sur new, puis définir la 1^o entrée, puis new et 2^o entrée etc... Puis sélectionner output et définir les sorties.

Le logiciel dessine le schéma fonctionnel du système avec les entrées à gauche et les sorties à droite.

Nota : Il n'est pas nécessaire de déclarer l'horloge synchrone du système séquentiel, celle-ci sera rajoutée à la fin de la saisie de paramètres (Après l'appui sur Suivant).

Dans le cadre de cette étude, nous ne travaillerons qu'avec une seule machine à états à la fois. Répondre « One » à la question « Please select the number of machines you want »

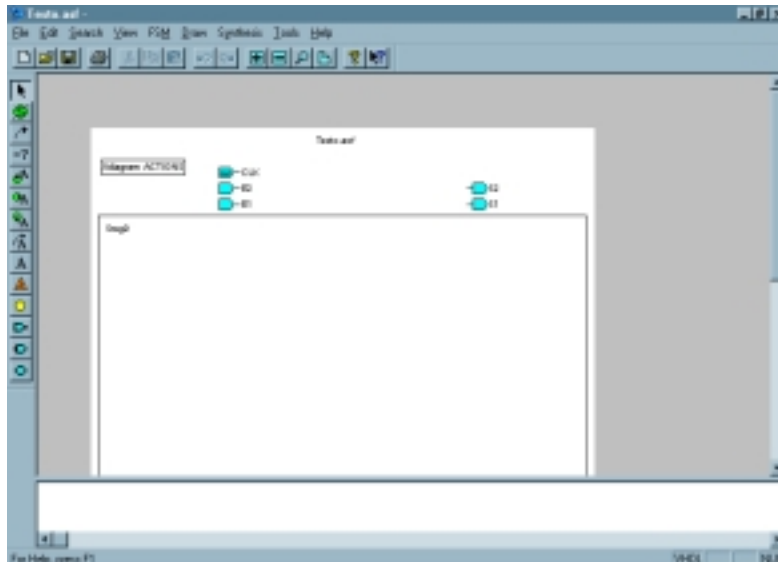
Cliquer ensuite sur « Terminer ».

II. Saisie de la machine à états

Le logiciel FSM permet de réaliser des machines de Moore ou de Mealy. Mais, dans le cadre de notre étude, nous n'étudierons que des machines de Moore.

On rappelle : Dans une machine de Moore, les sorties ne varient que lorsque le système change d'état (Les sorties ne sont fonctions que des sorties du registre d'état).

Si la première phase s'est correctement déroulée, l'écran doit se présenter sous la forme suivante :



Dans la partie supérieure de la feuille de travail, on trouvera les entrées et les sorties du système séquentiel synchrone. L'espace encadré nous permet de dessiner le diagramme d'états.

Utiliser les cases de gauche pour aller chercher les éléments du diagramme d'états.

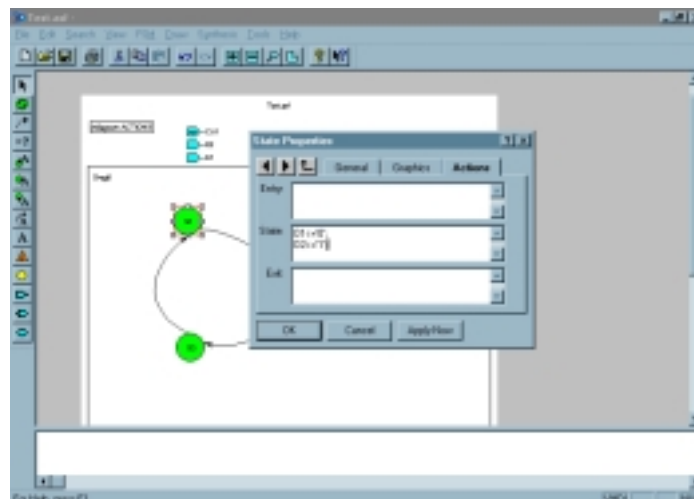
Les états sont représentés par les cercles verts. Ils sont reliés entre eux par des flèches correspondants aux transitions.

Attention : la flèche doit partir de l'intérieur d'un cercle pour arriver à l'intérieur d'un autre cercle.

Actions associées aux états

Pour définir les actions effectuées dans chaque état, effectuer un « **clic droit** » sur l'état à modifier puis choisir la case « **Propriétés** » puis l'onglet « **Actions** ».

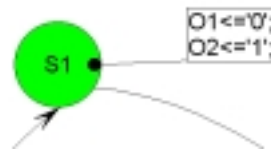
Pour les machines de Moore, on ne remplira que la case « **State** »



Attention à la syntaxe : Le format doit être le suivant : *Sortie* <= '*Valeur*' ;

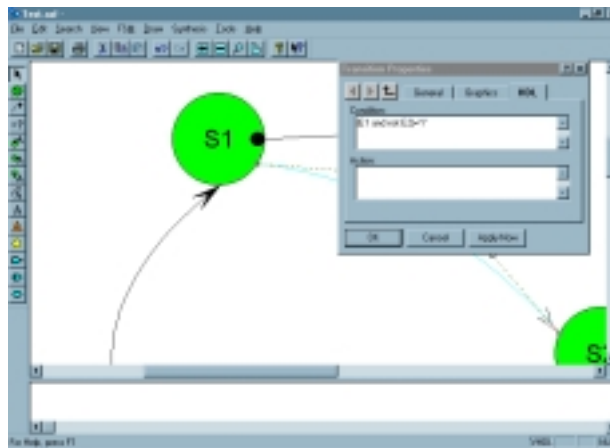
Il est préférable dans chaque état de définir **toutes** les sorties du système, sinon le logiciel choisira une valeur arbitraire.

A la fin de l'affectation, les sorties figurent sur le diagramme d'état de la manière suivante :



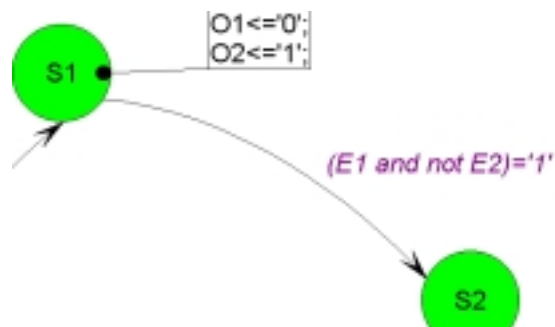
Conditions associées aux transitions

Pour définir les conditions associées aux transitions, effectuer un « **clik droit** » sur la transition à modifier puis choisir la case « **Propriétés** » puis l'onglet « **HDL** ». Pour les machines de Moore, on ne remplira que la case « **Condition** ».



Attention à la syntaxe : (Condition sur les entrées) = 'Valeur'

A la fin de l'affectation, la condition doit figurer sur le diagramme d'état comme suit :



III. Génération du VHDL

Une fois que le diagramme d'état est terminé, on peut générer le fichier VHDL correspondant au diagramme d'état.

Pour cela, cliquer sur « Synthesis » puis sur « HDL code generation ».

Le fichier VHDL généré peut être visualiser à l'écran. Il porte le même nom que le diagramme d'état mais avec l'extension .vhd. Ce fichier VHDL peut être maintenant utilisé par le logiciel Galaxy